

Docket No.: 63979-037

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of	:	Customer Number: 20277
	:	
Kenji TOYODA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: November 20, 2003	:	Examiner:
	:	
For: A FERROELECTRIC ELEMENT AND A FERROELECTRIC GATE DEVICE USING THE SAME	:	

**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:  
**Japanese Patent Application No. 2002-213399, filed July 23, 2002**

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY

  
Michael E. Fogarty  
Registration No. 36,139

600 13<sup>th</sup> Street, N.W.  
Washington, DC 20005-3096  
(202) 756-8000 MEF:mcw  
Facsimile: (202) 756-8087  
**Date: November 20, 2003**

63979-037

TOYODA et al.

November 20, 2003

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2002年 7月23日

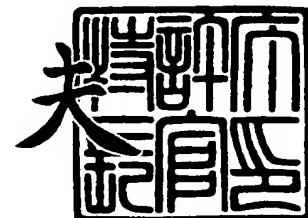
出 願 番 号  
Application Number: 特願2002-213399  
[ST. 10/C]: [JP2002-213399]

出 願 人  
Applicant(s): 松下電器産業株式会社

2003年 8月14日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特2003-3065737

【書類名】 特許願

【整理番号】 2030240048

【提出日】 平成14年 7月23日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10 421  
H01L 29/78

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 豊田 健治

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大塚 隆

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

## 【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 強誘電体素子

【特許請求の範囲】

【請求項 1】 第一のキャパシタとスイッチ素子とが直列に接続され、前記第一のキャパシタが強誘電体キャパシタであることを特徴とする強誘電体素子。

【請求項 2】 前記第一のキャパシタに印加される電圧によって、前記スイッチ素子がオン、オフの状態が変化することを特徴とする請求項 1 に記載の強誘電体素子。

【請求項 3】 前記第一のキャパシタに前記第一のキャパシタの抗電圧以上の電圧が印加されたとき、前記スイッチ素子がオン状態となり、前記第一のキャパシタに前記抗電圧以下の電圧が印加されたとき、前記スイッチ素子がオフ状態になることを特徴とする請求項 2 に記載の強誘電体素子。

【請求項 4】 前記スイッチ素子がオン状態の場合、前記スイッチ素子が抵抗として働き、前記スイッチ素子がオフ状態の場合、前記スイッチ素子がキャパシタとして働く請求項 3 に記載の強誘電体素子。

【請求項 5】 請求項 1 に記載の強誘電体素子と前記第二のキャパシタとが直列に接続されており、その接続端子部を出力端子とすることを特徴とする強誘電体素子。

【請求項 6】 請求項 1 に記載の強誘電体素子と第一の電界効果型トランジスタとによって構成され、前記第一のキャパシタと前記第一のスイッチ素子との接続端子でないどちらか一方の端子と前記第一の電界効果型トランジスタのゲートとが電氣的に接続されていることを特徴とする強誘電体素子。

【請求項 7】 前記スイッチ素子が第二の電界効果型トランジスタと第三の電界効果型トランジスタとによって構成されていることを特徴とする請求項 1 に記載の強誘電体素子。

【請求項 8】 前記第一のキャパシタの端子と前記第二および前記第三の電界効果型トランジスタのゲートとが接続され、

前記第一のキャパシタの他方の端子と前記第二および前記第三の電界効果型トランジスタのソースとが接続され、

前記第二の電界効果型トランジスタのドレインと前記第三の電界効果型トランジスタのドレインが接続されたことを特徴とする請求項7に記載の強誘電体素子。

【請求項9】 前記第二および前記第三の電界効果型トランジスタのしきい値の大きさが前記第一のキャパシタの抗電圧以上であることを特徴とする請求項8に記載の強誘電体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体を用いた素子、特に強誘電体の保持特性および角型比の向上に関する。

【0002】

【従来の技術】

近年の電子機器の発展に伴い、データの大容量化が進んでいる。そのデータを保存するために、不揮発性のメモリが注目されている。

【0003】

不揮発性メモリとして、フラッシュメモリや強誘電体メモリ(FeRAM)などが挙げられる。しかしながら、高速、大容量のデータを扱うためには、さらなる高速不揮発メモリが必要となる。近年、MFIS型の強誘電体ゲートデバイスが注目されている。しかし、強誘電体キャパシタとゲート酸化膜との電圧の分配比が問題になる。図10を用いて、その問題について説明する。

【0004】

図10(a)に、強誘電体キャパシタと常誘電体キャパシタとの直列接続した回路を示す。強誘電体キャパシタは強誘電体薄膜を、常誘電体キャパシタはゲート酸化膜を表している。今、強誘電体キャパシタ側の端子を接地し、常誘電体キャパシタ側の端子に電圧 $V_{pp}$ を印加させる。このとき、強誘電体キャパシタには電圧 $V_f$ が、常誘電体キャパシタには電圧 $V_c$ がそれぞれ印加される。このとき、強誘電体キャパシタおよび常誘電体キャパシタに電荷 $Q$ が誘起される。強誘電体キャパシタの電荷 $Q$ と電圧 $V_f$ は図9(b)に示すようなヒステリシス特性を示す。また、常

誘電体キャパシタの電荷 $Q$ と電圧 $V_c$ との関係は、式(1)のように表される。

【0005】

$$\begin{aligned} Q &= C_c V_c \\ &= C_c (V_{pp} - V_f) \end{aligned} \quad (1)$$

式(1)で表される直線と上述したヒステリシス特性をもつ曲線との交点である、図10(b)に示す点Aが、このときの動作点である。

【0006】

常誘電体キャパシタ側の端子を0Vに戻す。このとき、常誘電体キャパシタの電荷 $Q$ と電圧 $V_c$ の関係は、式(2)のように表される。

【0007】

$$\begin{aligned} Q &= C_c V_c \\ &= -C_c V_f \end{aligned}$$

式(2)で表される直線と上述したヒステリシス特性をもつ曲線との交点である、図10(b)に示す点Bが、このときの動作点である。強誘電体キャパシタに分極は保持されるため、常誘電体キャパシタと強誘電体キャパシタとの接続端子に $-V_h$ の電位が保持される。

【0008】

この保持電圧を大きくするために、常誘電体キャパシタ側に印加する電圧を大きくすると、常誘電体キャパシタの電界強度が耐圧以上になってしまう。つまり、強誘電体キャパシタに書き込む電圧を大きくしたいが、常誘電体キャパシタにも電圧が印加されてしまうため、強誘電体の分極を十分に誘起できない。また、強誘電体の角型比 $M(=P_r(\text{残留分極})/P_s(\text{自発分極}))$ 、図10(b)参照)を大きくすれば、保持電圧を向上させることが可能である。そのためには、強誘電体薄膜の結晶性を向上させなければならない。しかし、バルクと同程度の角型比を有する強誘電体薄膜の結晶を形成するのは困難である。以上のように、常誘電体キャパシタと強誘電体キャパシタとの直列接続回路において、その接続端子に保持される電圧を大きくしたいが、強誘電体キャパシタにのみ十分に高い電圧を印加することが困難であり、強誘電体薄膜の角型比があまり大きくないという課題があった。

【0009】

**【課題を解決するための手段】**

この課題を解決するため本発明は、スイッチ素子を強誘電体キャパシタに直列に接続した強誘電体素子を提案する。

**【0010】**

本発明の第一の発明の強誘電体素子は、第一のキャパシタとスイッチ素子とが直列に接続され、前記第一のキャパシタが強誘電体キャパシタであり、

前記第一のキャパシタに印加される電圧によって、前記スイッチ素子がオン、オフの状態が変化し、

前記第一のキャパシタに前記第一のキャパシタの抗電圧以上の電圧が印加されたとき、前記スイッチ素子がオン状態となり、抵抗として働き、前記第一のキャパシタに前記抗電圧以下の電圧が印加されたとき、前記スイッチ素子がオフ状態になり、キャパシタとして働くことを特徴とする。

**【0011】**

本発明の第二の発明の強誘電体素子は、請求項1に記載の強誘電体素子と前記第二のキャパシタとが直列に接続されており、その接続端子部を出力端子とすることを特徴とする。

**【0012】**

本発明の第三の発明の強誘電体素子は、請求項1に記載の強誘電体素子と第一の電界効果型トランジスタとによって構成され、前記第一のキャパシタと前記第一のスイッチ素子との接続端子でないどちらか一方の端子と前記第一の電界効果型トランジスタのゲートとが電氣的に接続されていることを特徴とする。

**【0013】**

本発明の第四の発明の強誘電体素子は、前記スイッチ素子が第二の電界効果型トランジスタと第三の電界効果型トランジスタとによって構成され、前記第一のキャパシタの端子と前記第二および前記第三の電界効果型トランジスタのゲートとが接続され、

前記第一のキャパシタの他方の端子と前記第二および前記第三の電界効果型トランジスタのソースとが接続され、

前記第二の電界効果型トランジスタのドレインと前記第三の電界効果型トラン



ジスタのドレインが接続され、

前記第二および前記第三の電界効果型トランジスタのしきい値の大きさが前記第一のキャパシタの抗電圧以上であることを特徴とする。

#### 【0014】

##### 【発明の実施の形態】

本発明の実施の形態について図を用いて説明する。

#### 【0015】

##### (第一の実施形態)

図1は、本発明の第一の実施形態の強誘電体素子である。図1において、1は強誘電体キャパシタで、2はスイッチ素子である。

#### 【0016】

図1に示すように、本実施形態では、強誘電体キャパシタ1とスイッチ素子2とが直列に接続されている。強誘電体キャパシタ側の端子を入力端子INとし、スイッチ素子側の端子を接地した。強誘電体キャパシタに印加される電圧を $V_f$ 、スイッチ素子に印加される電圧を $V_r$ とする。なお、強誘電体の材料として、本実施形態では一例として、タンタル酸ストロンチウムビスマス( $Y1: \text{SrBi}_2\text{Ta}_2\text{O}_9$ )を用いた。

#### 【0017】

図2を用いて、本実施形態で用いたスイッチ素子の動作について説明する。 $V_f$ が強誘電体の抗電圧 $V_c$ 以下の場合、スイッチ素子はオフ状態で図2(a)のように動作し、10pFのキャパシタとして振る舞う。 $V_f$ が $V_c$ 以上の場合、スイッチ素子はオン状態で図2(b)のように動作し、100 $\Omega$ の抵抗として振る舞う。

#### 【0018】

入力端子に印加される電圧が高い場合、強誘電体キャパシタには $V_c$ 以上の電圧が印加されるため、スイッチ素子は抵抗として振る舞う。このため、強誘電体キャパシタのみ電圧が印加され、強誘電体の分極が十分に誘起される。また、入力端子に印加される電圧が低い場合、強誘電体キャパシタには $V_c$ 以下の電圧が印加されるため、スイッチ素子はキャパシタとして振る舞う。つまり、入力端子に高電圧が印加し強誘電体の分極が誘起された後、電圧を低くすると、スイッチ素子

がキャパシタとして振る舞うため、強誘電体の分極が保持されるので、角型比が向上される。これらの特性向上を確認するためにシミュレーションを行なった。入力端子INに-10Vから10Vの電圧を印加し、強誘電体に誘起される分極を解析した。その結果を図3に示す。

#### 【0019】

図3に、本実施形態の素子とスイッチ素子を接続しない強誘電体キャパシタにおける入力端子に印加した電圧 $V_{in}$ と強誘電体に誘起される分極 $P_r$ との関係を示す。図4から分かるように、本実施形態の強誘電体素子では、0Vから高くして約6Vで分極反転が起こっている。従来の強誘電体キャパシタの抗電圧は1.5Vであるので、強誘電体素子の分極の保持特性が向上されていることが分かる。さらに、角型比が、従来の強誘電体キャパシタの0.77に比べ、本実施形態の強誘電体素子では0.92と大幅に向上した。

#### 【0020】

以上のように、強誘電体キャパシタにスイッチ素子を接続させることで、低電圧入力で強誘電体の分極を誘起させることが可能になった。また、強誘電体の分極の保持特性が向上した。さらに、強誘電体素子の角型比が大幅に向上した。

#### 【0021】

なお、強誘電体の材料として、本実施形態ではY1を用いたが、分極においてヒステリシス特性を有する材料であれば如何なる物、例えばチタン酸ビスマス、チタン酸鉛等、さらには、電荷の偏りを利用してデータを保持するポリフッ化ビニリデン三フッ化エチレン共重合体(P(VDF/TrFE))等の高分子化合物においても、本素子の動作が得られることは言うまでもない。また、スイッチ素子として、電流の値が電圧に対して急峻に変化する素子、例えばツェナーダイオードなどでも、本素子の動作は得られることは言うまでもない。

#### 【0022】

(第二の実施形態)

図4は、本発明の第二の実施形態の強誘電体素子である。本実施形態の素子は、第一の実施形態の強誘電体素子のスイッチ素子側の端子を常誘電体キャパシタに接続させたものである。

**【0023】**

図4に示すように、本実施形態では、第一の実施形態の強誘電体素子と10pFの常誘電体キャパシタとが直列に接続されている。第一の形態の強誘電体素子の強誘電体キャパシタ側の端子を入力端子INとし、常誘電体キャパシタ側の端子を接地した。第一の実施形態の強誘電体素子と常誘電体キャパシタとの接続端子を出力端子OUTとした。なお、強誘電体の材料として、本実施形態では一例として、タンタル酸ストロンチウムビスマス(Y1: SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>)を用いた。

**【0024】**

入力端子に印加される電圧が高い場合、強誘電体キャパシタには $V_c$ 以上の電圧が印加されるため、スイッチ素子は抵抗として振る舞う。このため、強誘電体キャパシタのみ電圧が印加され、強誘電体の分極が十分に誘起される。また、入力端子に印加される電圧が低い場合、強誘電体キャパシタには $V_c$ 以下の電圧が印加されるため、スイッチ素子はキャパシタとして振る舞う。つまり、入力端子に高電圧が印加され強誘電体の分極が誘起された後、電圧を低くすると、スイッチ素子がキャパシタとして振る舞うため、強誘電体の分極が保持されるので、角型比が向上される。これにより、出力端子に保持される電圧も向上する。これらの特性向上を確認するためにシミュレーションを行なった。入力端子INに-10Vから10Vの電圧を印加し、出力端子の電圧を解析した。その結果を図6に示す。

**【0025】**

図5に、本実施形態の素子とスイッチ素子を接続しない強誘電体キャパシタと常誘電体キャパシタとの直列接続回路における入力端子に印加した電圧 $V_{in}$ と出力端子OUTとの関係を示す。

**【0026】**

図5から分かるように、INが0VのときにおけるOUTの保持電圧は、従来例では約1.1Vであるが、本実施形態の素子では約2.6Vと大幅に向上した。これは、第一の実施形態の強誘電体素子の角型比が向上したためである。

**【0027】**

以上のように、第一の実施形態に常誘電体キャパシタを接続させることで、接続端子の保持電圧を向上させることが可能となった。

**【 0 0 2 8 】**

## (第三の実施形態)

図6は、本発明の第三の実施形態の強誘電体素子である。本実施形態の素子は、第一の実施形態の素子のスイッチ素子側の端子を電界効果型トランジスタであるMOSトランジスタのゲートに接続させたものである。

**【 0 0 2 9 】**

第一の実施形態の素子のスイッチ素子側をMOSトランジスタのゲートに接続させた。その接続端子をFGと呼ぶ。MOSトランジスタのドレインには1.0Vの電源電圧を印加させた。また、MOSトランジスタのソースおよび基板は接地した。なお、本実施形態では、一例として、MOSトランジスタとして、ゲート長 $0.5\mu\text{m}$ 、ゲート幅 $5\mu\text{m}$ 、しきい値電圧0.6VのN型MOSトランジスタを用いた。また、強誘電体の材料として、タンタル酸ストロンチウムビスマス(Y1:  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ )を用い、強誘電体の面積は、MOSトランジスタのゲート面積の1/10とした。

**【 0 0 3 0 】**

入力端子INに-10Vから10Vを印加し、MOSトランジスタのドレイン電流 $i_{ds}$ を解析するためにシミュレーションを行なった。図7にその結果を示す。

**【 0 0 3 1 】**

図7に、本実施形態の素子とスイッチ素子を接続しない強誘電体キャパシタのみの素子における入力端子に印加した電圧 $V_{in}$ とドレイン電流 $i_{ds}$ との関係を示す。図7から分かるように、従来のMFMIS構造では、メモリウィンドウは3.1Vであったが、本実施形態の素子では10.7Vと大幅に向上した。これは、FG端子に保持される電圧が、本実施形態の素子を用いることによって向上し、MOSトランジスタのしきい値を従来のMFMIS構造より大幅に変化させることが可能であったためである。

**【 0 0 3 2 】**

以上のように、第三の実施形態の素子を用いることで、従来のMFMIS構造よりメモリウィンドウを向上させることが可能となった。

**【 0 0 3 3 】**

## (第四の実施形態)

図8は、本発明の第四の実施形態の強誘電体素子である。本実施形態の素子は、強誘電体キャパシタとN型の電界効果型トランジスタであるN型MOSトランジスタとP型の電界効果型トランジスタであるP型MOSトランジスタとによって構成されるスイッチ素子と接続したものである。

#### 【0034】

強誘電体キャパシタとN型MOSトランジスタおよびP型MOSトランジスタのドレインをCP端子で接続させた。また、N型MOSトランジスタおよびP型MOSトランジスタのゲートをSS端子に接続させた。さらに、N型MOSトランジスタおよびP型MOSトランジスタのソースを入力端子INに接続させた。SS端子を接地し、IN端子に入力電圧を印加した。なお、本実施形態では、一例として、強誘電体の材料として、タンタル酸ストロンチウムビスマス(Y1: SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub>)を用いた。MOSトランジスタのしきい値電圧の大きさは、強誘電体の抗電圧である1.5Vにした。また、N型MOSトランジスタの基板は-5V、P型MOSトランジスタの基板は5Vにした。

#### 【0035】

強誘電体キャパシタに印加される電圧をV<sub>f</sub>とする。V<sub>f</sub>が抗電圧1.5V以上になると、N型MOSトランジスタがオンとなり、抵抗として振る舞う。また、V<sub>f</sub>が-1.5V以下になると、P型MOSトランジスタがオンとなり、抵抗として振る舞う。V<sub>f</sub>が-1.5から1.5Vの間では、どちらのMOSトランジスタもオフであるので、キャパシタとして振る舞う。第一の実施形態と同様の効果が得られる。その効果を確認するために、シミュレーションを行なった。入力端子INに-5Vから5Vの電圧を印加し、強誘電体に誘起される分極を解析した。その結果を図9に示す。

#### 【0036】

図9に、本実施形態の素子とMOSトランジスタを接続しない強誘電体キャパシタにおける入力端子に印加した電圧V<sub>in</sub>と強誘電体に誘起される分極P<sub>r</sub>との関係を示す。

#### 【0037】

図9から分かるように、本実施形態の強誘電体素子では、0Vから高くして約6Vで分極反転が起こっている。従来の強誘電体キャパシタの抗電圧は1.5Vであるので、強誘電体の分極の保持特性が向上されていることが分かる。このことから、

角型比が、従来の強誘電体キャパシタの0.77に比べ、本実施形態の強誘電体素子では0.95と大幅に向上した。

#### 【0 0 3 8】

##### 【発明の効果】

以上のように、強誘電体キャパシタにMOSトランジスタによって構成されるスイッチ素子を接続させることで、第一の実施形態の強誘電体素子と同様な効果が得られることが実現された。強誘電体の分極の保持特性および強誘電体素子の角型比が大幅に向上した。

##### 【図面の簡単な説明】

##### 【図 1】

本発明の第一の実施形態の強誘電体素子の一例を示す図

##### 【図 2】

本発明の第一の実施形態の動作状態を説明するための図

##### 【図 3】

本発明の第一の実施形態の強誘電体の分極と印加電圧との関係を示す図

##### 【図 4】

本発明の第二の実施形態の強誘電体素子の一例を示す図

##### 【図 5】

本発明の第二の実施形態の入出力の関係を示す図

##### 【図 6】

本発明の第三の実施形態の強誘電体素子の一例を示す図

##### 【図 7】

本発明の第三の実施形態のドレイン電流と入力電圧の関係を示す図

##### 【図 8】

本発明の第四の実施形態の強誘電体素子の一例を示す図

##### 【図 9】

本発明の第四の実施形態の強誘電体の分極と印加電圧との関係を示す図

##### 【図 1 0】

従来技術例の説明図

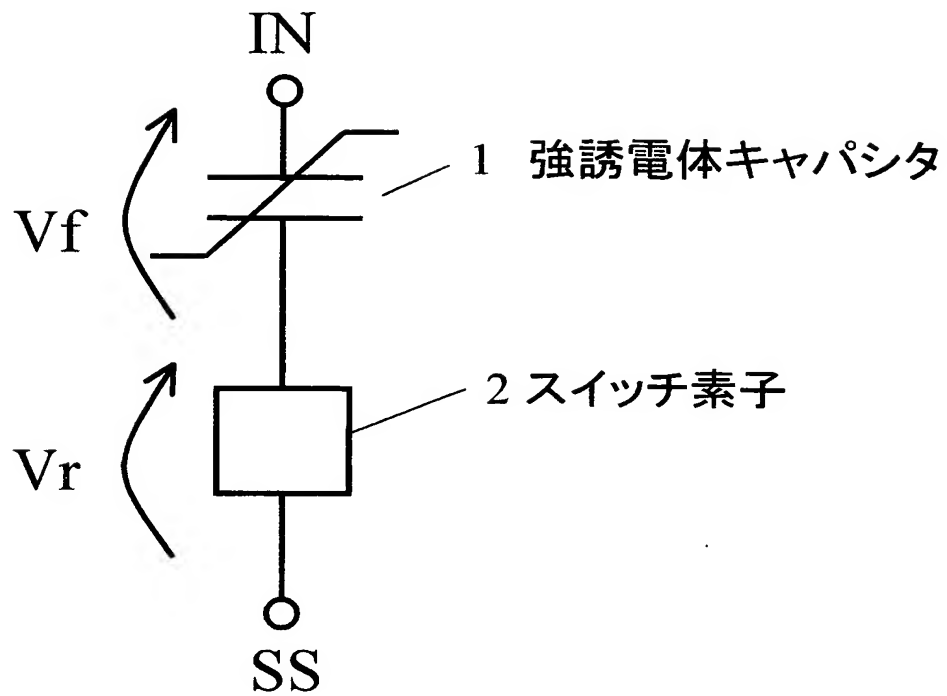
【符号の説明】

1：強誘電体キャパシタ

2：スイッチ素子

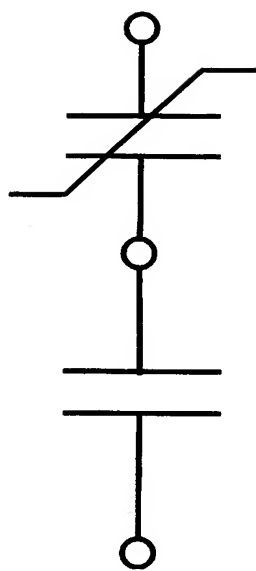
【書類名】 図面

【図 1】

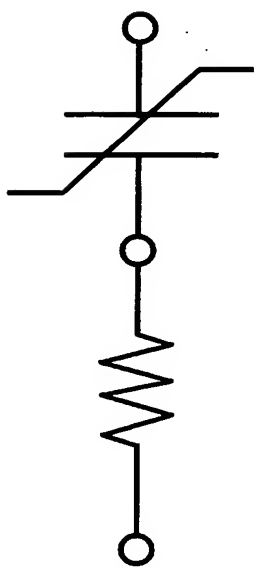




【図 2】

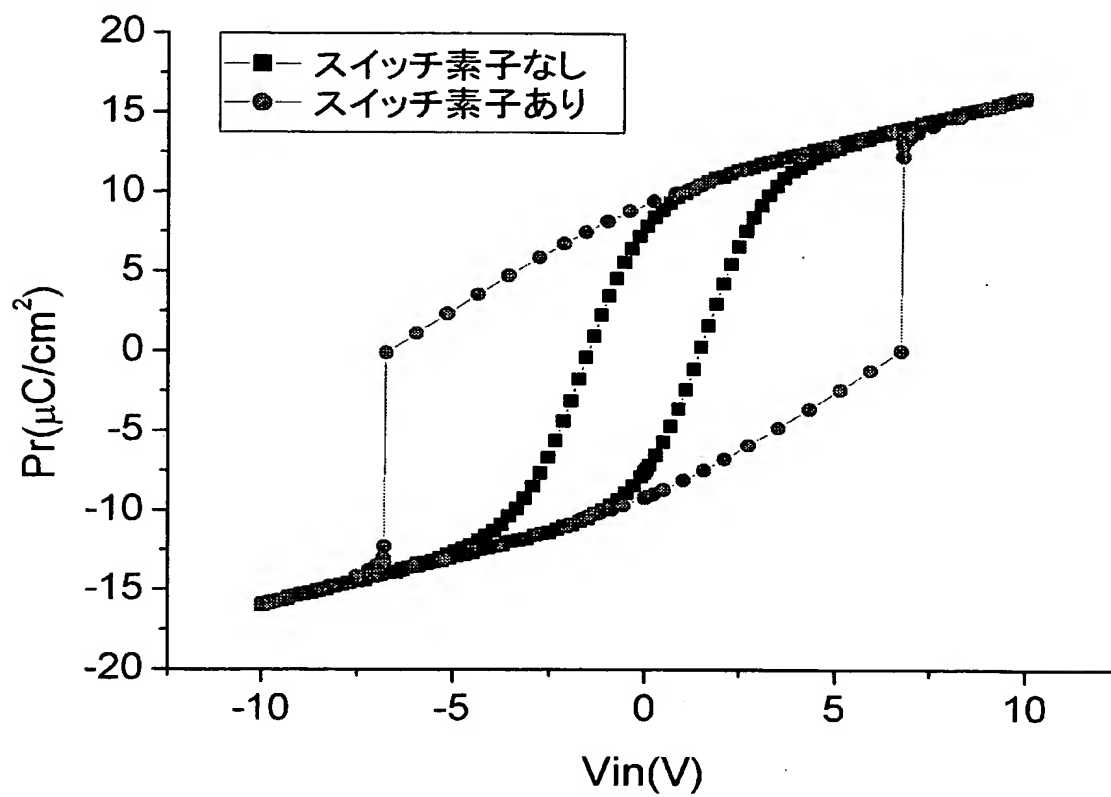


(a)

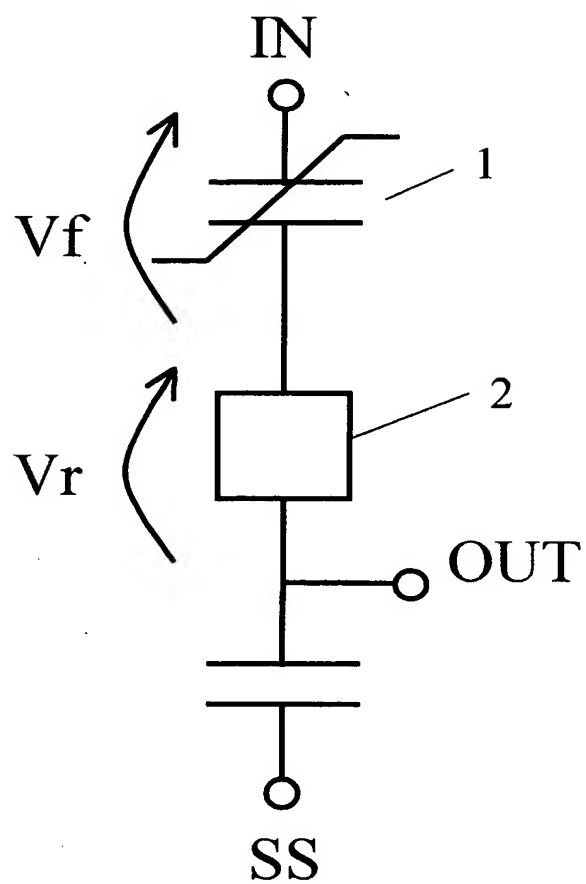


(b)

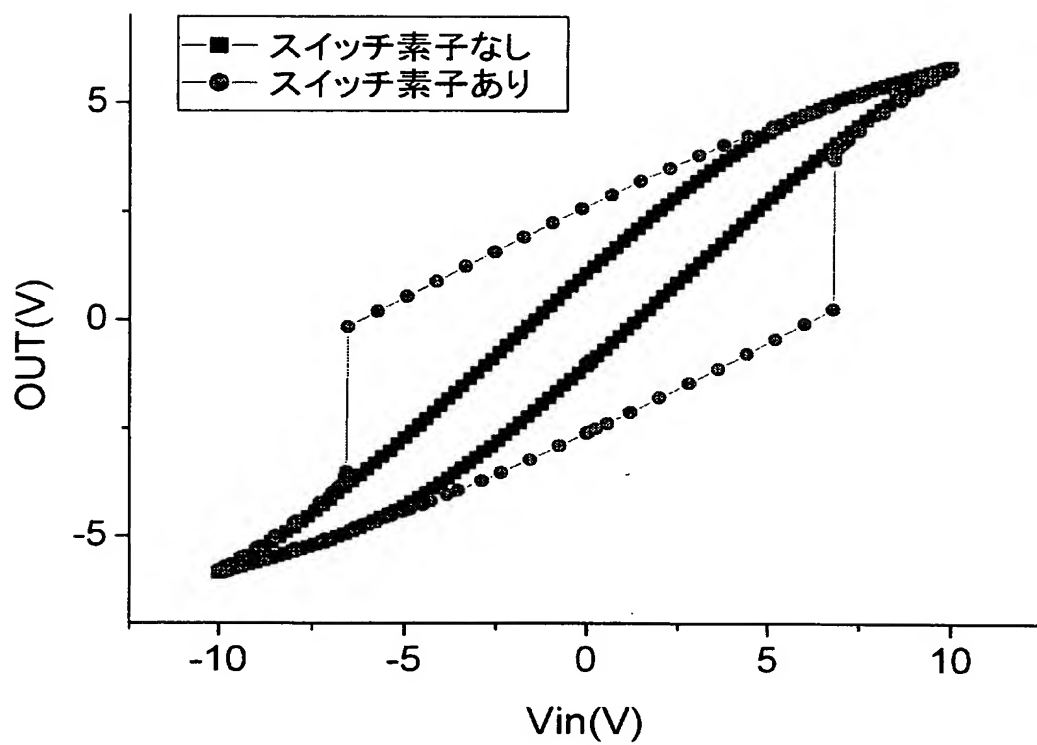
【図 3】



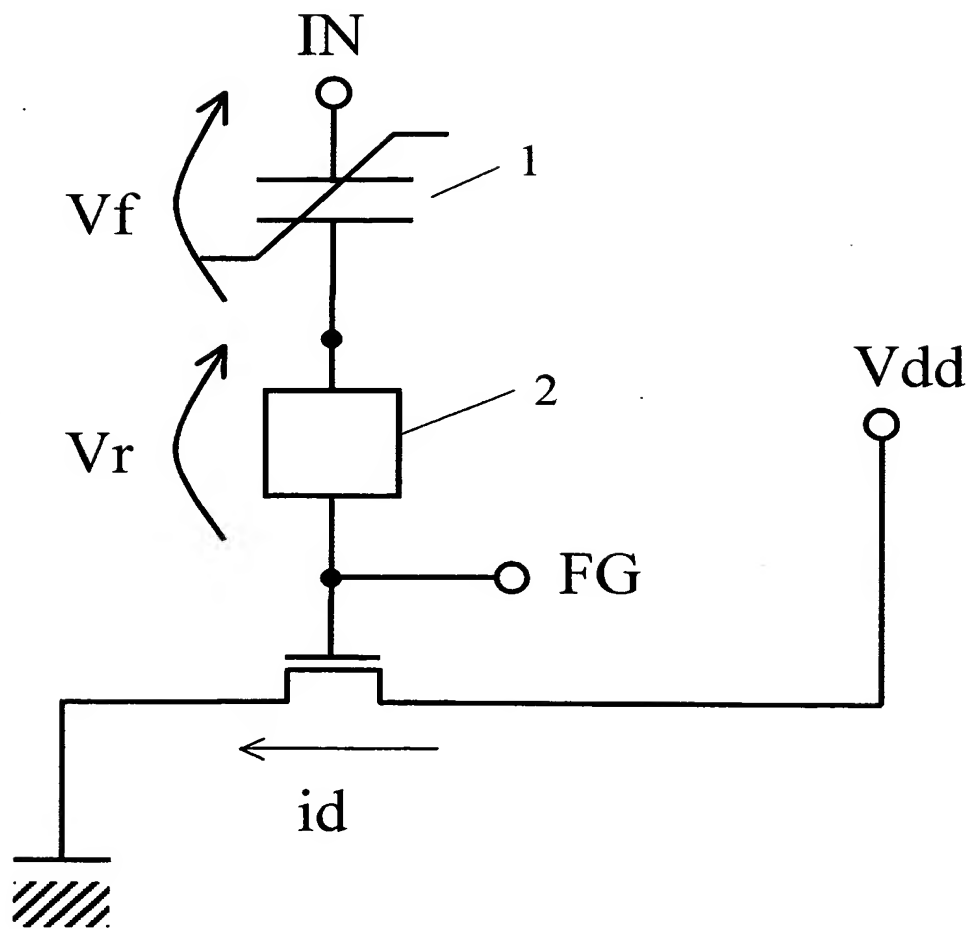
【図 4】



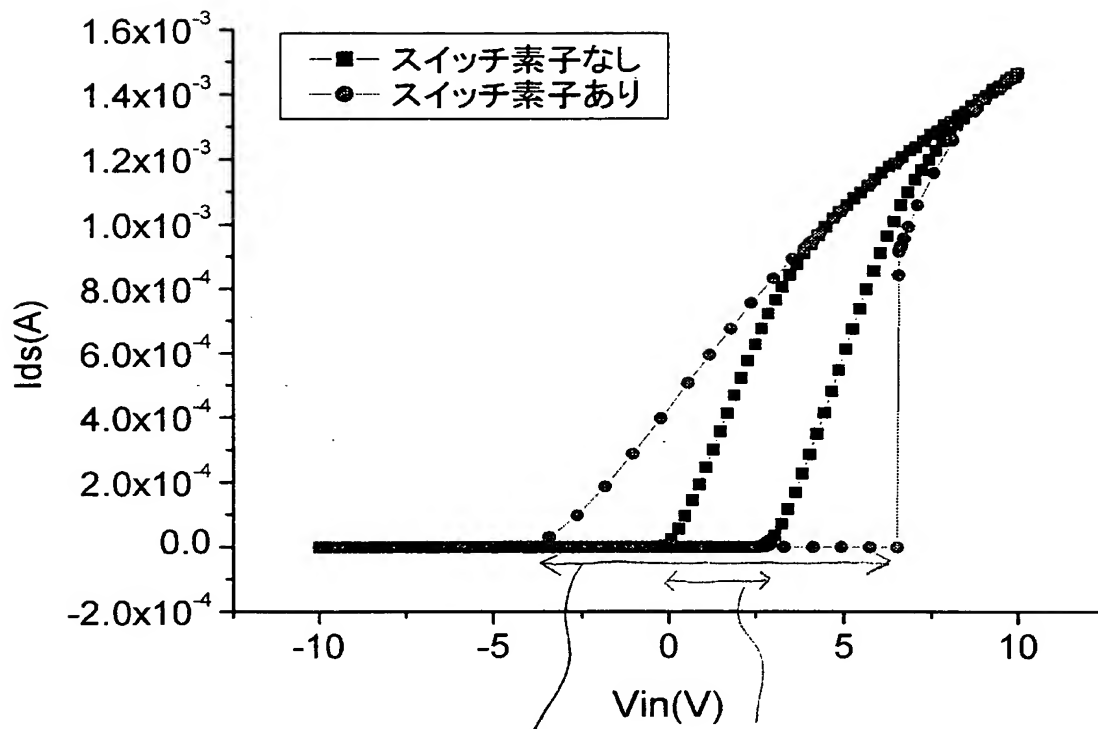
【図 5】



【図 6】



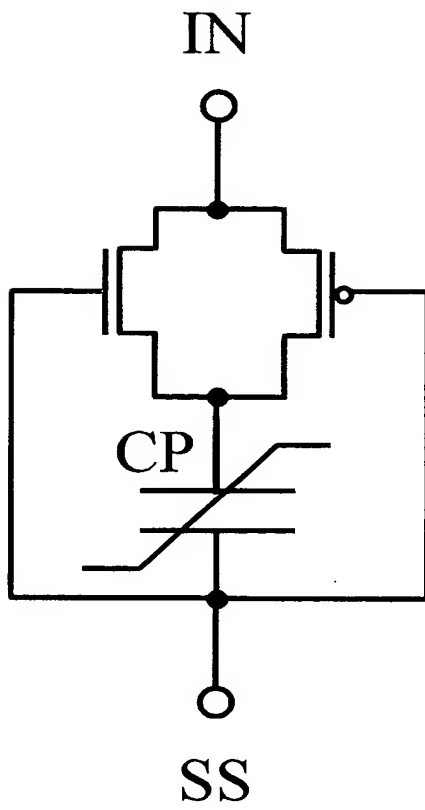
【図 7】



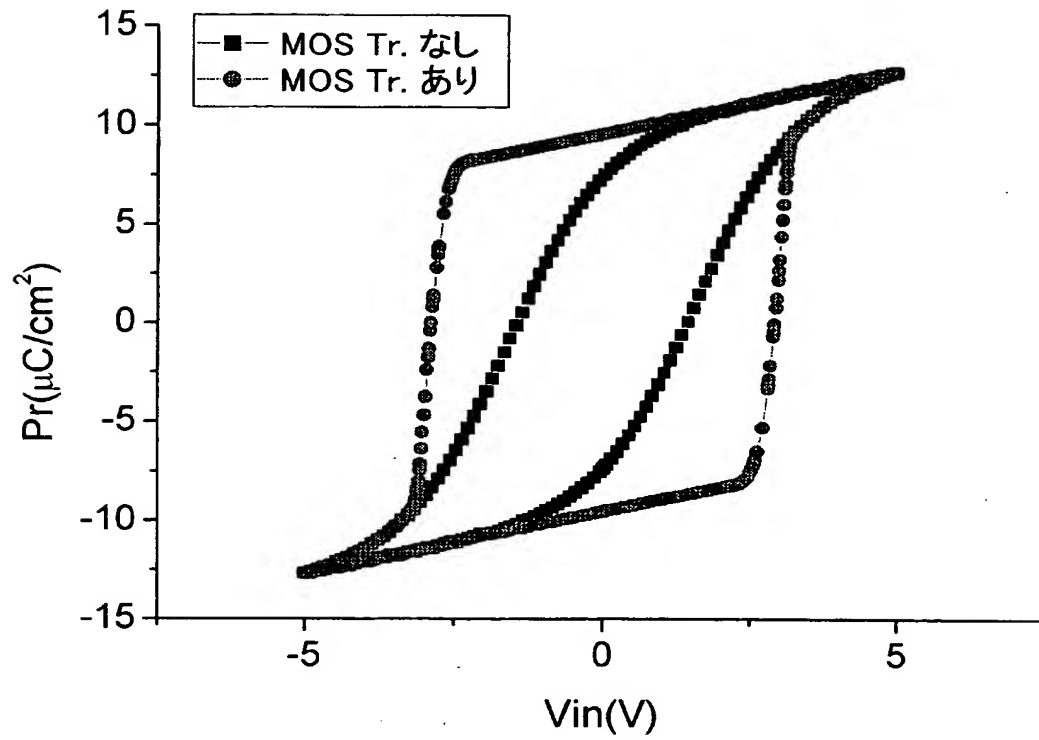
第三の実装形態  
に係る素子の  
メモリウィンドウ (10 フレ)

従来のMF/MIS構造  
のメモリウィンドウ (3 フレ)

【図 8】

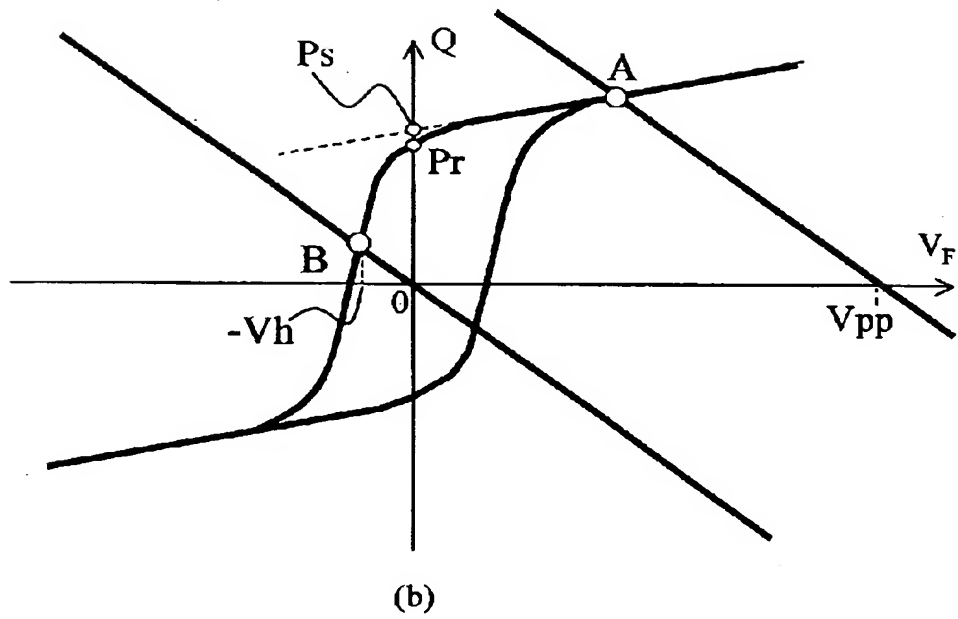
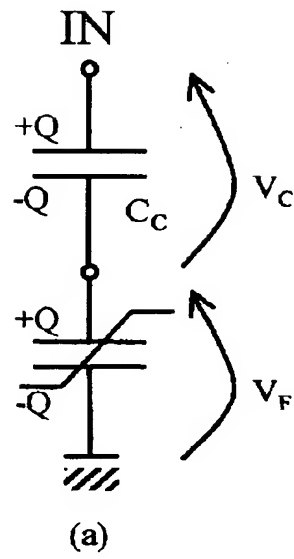


【図 9】





【図 10】



【書類名】 要約書

【要約】

【課題】 強誘電体キャパシタと常誘電体キャパシタとの接続部に保持される電位の向上する素子を提供する。

【解決手段】 強誘電体キャパシタ 1 とスイッチ素子 2 を直列に接続し、強誘電体キャパシタ 1 に抗電圧以上の電圧が印加されたときスイッチ素子 2 がオン状態になることで、強誘電体にのみ高い電圧を印加し、強誘電体の分極を誘起させることで保持特性を向上することが実現された。

【選択図】 図 1

特願 2 0 0 2 - 2 1 3 3 9 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 8 2 1 ]

1 . 変 更 年 月 日

1 9 9 0 年    8 月 2 8 日

[ 変 更 理 由 ]

新 規 登 録

住   所

大 阪 府 門 真 市 大 字 門 真 1 0 0 6 番 地

氏   名

松 下 電 器 産 業 株 式 会 社